



OKI.557

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of

Takeshi Morita

Examiner: Unknown

Serial No.: 10/627,734

Attorney Docket No.: OKI.557

Filed: July 28, 2003

Confirm. No.: 3806

For: METHOD FOR ESTIMATING REMAINING FILM THICKNESS DISTRIBUTION, METHOD FOR DESIGNING PATTERNING MASK USING THE METHOD FOR ESTIMATING REMAINING FILM THICKNESS DISTRIBUTION, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICES BY USING PATTERNING MASK DESIGNED BY USING THE METHOD FOR ESTIMATING REMAINING FILM THICKNESS DISTRIBUTION

**CLAIM OF PRIORITY**

U.S. Patents and Trademark Office  
2011 South Clark Place  
Crystal Plaza Two, Mail Stop  
Arlington, VA 22202

Date: March 22, 2004

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

Appln. No. 2001-219979      filed July 29, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

Andrew J. Telesz, Jr.  
Registration No. 33,581

Tel. (703) 715-0870  
Fax. (703) 715-0877

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2002年 7月29日  
Date of Application:

出願番号      特願2002-219979  
Application Number:

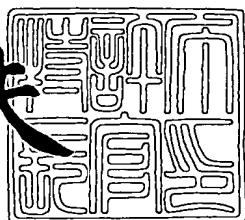
[ST. 10/C] :      [JP2002-219979]

出願人      沖電気工業株式会社  
Applicant(s):

2003年 8月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 OH003735

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/30

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 森田 豪

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 残膜厚分布の推定方法、残膜厚分布の推定方法を利用したパターニング用マスクの設計方法、及び、残膜厚分布の推定方法を利用して設計されたパターニング用マスクを用いた半導体素子の製造方法

【特許請求の範囲】

【請求項 1】 表面保護膜を有する半導体下地を、活性化領域形成用のマスクパターンを有するパターニング用マスクを用いて、エッチングして素子分離溝を形成することにより活性化領域を画成し、前記素子分離溝を埋め込むように前記活性化領域上に亘って絶縁膜を設け、該絶縁膜が設けられた前記半導体下地に対して化学機械研磨を行って素子分離部を形成する場合に、前記化学機械研磨後の前記各活性化領域上に残存する前記表面保護膜の残膜厚分布を推定する残膜厚分布の推定方法であって、

前記パターニング用マスクが、行列配列された複数のワンチップマスク領域を具えていて、該ワンチップマスク領域の各々が、同一個数の前記マスクパターンを同一のレイアウトで具えているとき、

前記マスクパターンの各々に対し、該マスクパターンから該マスクパターンの縁部に沿って所定幅を除去してなる縮小領域をそれぞれ生成するステップと、

前記ワンチップマスク領域を所定領域に細分化して細分化領域を生成し、前記細分化領域の各々に対して、該細分化領域を定位位置に含む、前記ワンチップマスク領域と同一な大きさ及び形状の領域中に占める全ての前記縮小領域の面積割合を取得するステップと、

前記面積割合に基づいて、前記ワンチップマスク領域内の前記残膜厚の分布を取得するステップと

を含むことを特徴とする残膜厚分布の推定方法。

【請求項 2】 請求項 1 に記載の残膜厚分布の推定方法において、前記縮小領域を、前記縮小領域に対応する前記活性化領域を覆う前記絶縁膜の頂面領域と実質的に同一な大きさ及び形状の領域となるように生成することを特徴とする残膜厚分布の推定方法。

【請求項 3】 表面保護膜を有する半導体下地を、活性化領域形成用のマス

クパターンを有するパターニング用マスクを用いて、エッチングして素子分離溝を形成することにより活性化領域を画成し、前記素子分離溝を埋め込むように前記活性化領域上に亘って絶縁膜を設け、該絶縁膜が設けられた前記半導体下地に対して化学機械研磨を行って素子分離部を形成する場合に、前記化学機械研磨後の前記各活性化領域上に残存する前記表面保護膜の残膜厚分布を推定する残膜厚分布の推定方法であって、

前記パターニング用マスクが、行列配列された複数のワンチップマスク領域を具えていて、該ワンチップマスク領域の各々が、同一個数の前記マスクパターンを同一のレイアウトで具えているとき、

前記マスクパターンの各々に対し、該マスクパターンから該マスクパターンの縁部に沿って所定幅を除去してなる縮小領域を生成するステップと、

前記マスクパターンから、該マスクパターンに対応する前記縮小領域と重複する領域部分を除去して枠状領域を生成するステップと、

前記ワンチップマスク領域を所定領域に細分化して細分化領域を生成し、前記細分化領域の各々に対して、該細分化領域を定位置に含む、前記ワンチップマスク領域と同一な大きさ及び形状の領域中に占める全ての前記縮小領域及び前記枠状領域のそれぞれの面積割合を取得するステップと、

前記縮小領域の面積割合及び枠状領域の面積割合に基づいて、前記ワンチップマスク領域内での前記残膜厚分布を取得するステップと  
を含むことを特徴とする残膜厚分布の推定方法。

**【請求項4】** 請求項1ないし3のいずれか一項に記載の残膜厚分布の推定方法を利用して、前記パターニング用マスクを設計するパターニング用マスクの設計方法であって、

前記ワンチップマスク領域内で、研磨レートが高いと予想される第1領域を抽出するステップと、

前記第1領域のうちの前記マスクパターン外に、第1の疑似の活性化領域を形成するための第1疑似マスクパターンを設定するステップと  
を含むことを特徴とするパターニング用マスクの設計方法。

**【請求項5】** 請求項4に記載のパターニング用マスクの設計方法において

、前記ワンチップマスク領域内で、研磨レートが低いと予想される第2領域を抽出するステップと、

前記第2領域のうちの前記マスクパターン外に、第2の疑似の活性化領域を形成するための第2疑似マスクパターンを設計するステップを含み、

前記各々のワンチップマスク領域に占める、前記マスクパターンと前記第1及び第2疑似マスクパターンが形成される領域とを併せた面積割合を、実質的に一定とすることを特徴とするパターニング用マスクの設計方法。

**【請求項6】** 請求項5に記載のパターニング用マスクの設計方法において、前記第2疑似マスクパターンを形成するステップにおいて、該第2疑似マスクパターンとして、細長形状領域を設定することを特徴とするパターニング用マスクの設計方法。

**【請求項7】** 請求項4ないし6のいずれか一項に記載のパターニング用マスクの設計方法において、前記第1領域の前記マスクパターン外の領域のスペースの広さに応じて、前記第1疑似マスクパターンのスペースの広さを設定することを特徴とするパターニング用マスクの設計方法。

**【請求項8】** 請求項4ないし7のいずれか一項に記載のパターニング用マスクの設計方法において、前記第1疑似マスクパターンを形成するステップにおいて、複数の前記第1領域のうち、予想される前記研磨レートの高さに応じて、前記第1領域のうち前記マスクパターン外に占める前記第1疑似マスクパターンの面積割合を増大させることを特徴とするパターニング用マスクの設計方法。

**【請求項9】** 請求項4ないし8のいずれか一項に記載のパターニング用マスクを用いた半導体素子の製造方法であって、

前記パターニング用マスクを用いて前記表面保護膜を有する前記半導体下地をエッチングして、残存された活性化領域とエッチングされた素子分離溝とを形成する工程を含むことを特徴とする半導体素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、例えば、STI-CMP工程において、CMP処理後の各活性化

領域上に残存する残膜の膜厚（残膜厚）を推定する残膜厚分布の推定方法、この残膜厚分布の推定方法を利用したパターニング用マスクの設計方法、及び、こうして設計されたパターニング用マスクを用いた半導体素子の製造方法に関する。

### 【0002】

#### 【従来の技術】

近年、半導体素子の高集積化に伴い、隣接する半導体素子間を絶縁分離する素子分離技術が広く利用されている。この素子分離技術のうち、特に、素子分離溝（トレンチ溝）に埋め込まれた絶縁膜によって半導体素子間を絶縁分離するトレンチ分離法は、分離幅を縮小でき有効である。

### 【0003】

トレンチ分離法を行うに当たり、一般には、化学機械研磨（CMP：C h e m i c a l M e c h a n i c a l P o l i s h i n g）を用いた、S T I - C M P（S h a l l o w T r e n c h I s o l a t i o n - C M P）工程が含まれる。

### 【0004】

このトレンチ分離法では、先ず、パターニング用マスクを用いたエッチングによって、半導体下地にトレンチ溝がパターニングされる。また、このときトレンチ溝以外の領域は活性化領域（以下、アクティブ（A c t i v e）領域とも称する。）となる。

### 【0005】

その後、このトレンチ溝を埋め込むように且つアクティブ領域上に亘って、絶縁膜を高密度プラズマC V D（H D P：H i g h D e n s i t y P l a s m a - C h e m i c a l V a p o r D e p o s i t i o n）法によって形成した後、半導体下地上に対して素子分離部（S T I：S h a l l o w T r e n c h I s o l a t i o n）形成のためのC M P処理を行う。

### 【0006】

#### 【発明が解決しようとする課題】

しかしながら、パターニング用マスクを用いたエッチングによって、半導体下地にアクティブ領域が疎に形成された領域（アクティブ疎領域）とアクティブ領

域が密に形成された領域（アクティブ密領域）とが混在形成されている場合、C M P 处理後、これら疎密領域間でアクティブ領域上に残存する表面保護膜の残膜厚の差（グローバル段差）が発生する。

#### 【0007】

このグローバル段差の発生は、C M P 处理時に、絶縁膜表面とスラリを介して接触される研磨パッド（研磨布）がアクティブ領域の疎密状態によって弾性変形することに起因している。

#### 【0008】

なぜなら、アクティブ疎領域では、研磨パッドの半導体下地に対する研磨圧力が下地表面の平坦性により顕著に影響するが、アクティブ密領域では研磨パッドの半導体下地に対する研磨圧力が表面の凹凸により分散され、アクティブ疎密領域間で研磨圧力の相違が発生するためである。

#### 【0009】

その結果、アクティブ疎領域における研磨レート（速度）に比べてアクティブ密領域における研磨レートは遅くなる上に、C M P 处理は一括研磨であることからも、アクティブ領域の疎密領域間における残膜の不均衡、すなわち、グローバル段差の発生は不可避である。

#### 【0010】

特に、グローバル段差が無視できない程度に大きい場合は、アクティブ疎領域のアクティブ領域自体が削られる一方で、アクティブ密領域では当該アクティブ領域上に絶縁膜が残存している状態でC M P 处理が終了されるため、製品歩留まりや信頼性が著しく低下する。

#### 【0011】

また、従来より、半導体下地の全面に疑似のアクティブ領域を適宜形成して、アクティブ領域の疎密領域間での研磨レートの調整等が行われているが、グローバル段差を効果的に抑制するのは困難とされていた。

#### 【0012】

よって、これまで、不所望に発生するグローバル段差を制御して、グローバル平坦性の向上を図るための手法の出現が望まれていた。

### 【0013】

そこで、この発明の目的は、CMP処理後のアクティブ疎密領域間における残膜の相対的な膜厚差を推定するための方法、この残膜厚分布の推定方法を利用したパターニング用マスクの設計方法、及び、こうして設計されたパターニング用マスクを用いた半導体素子の製造方法を提供することにある。

### 【0014】

#### 【課題を解決するための手段】

そこで、この発明によれば、先ず、表面保護膜を有する半導体下地を、活性化領域を形成するためのマスクパターンが形成されたパターニング用マスクを用いて、エッチングして、当該下地に素子分離溝とこの素子分離溝で画成された活性化領域（アクティブ領域）とを形成する。その後、素子分離溝を埋め込むように活性化領域上に亘って絶縁膜を設ける。このとき、絶縁膜を素子分離溝を埋め込むように且つ短辺長が長い活性化領域上に亘って設ける場合には、当該活性化領域上の絶縁膜の一部を除去することとする。次に、この絶縁膜が設けられた半導体下地に対して化学機械研磨を行い素子分離部を形成する。この化学機械研磨後、各活性化領域上に残存する表面保護膜の膜厚分布、すなわち、残膜厚分布の推定を以下のようにして行う。

### 【0015】

すなわち、マスクパターンの各々に対し、このマスクパターンからこのマスクパターンの縁部に沿って所定幅の領域を除去してなる縮小領域を生成する。一方、ワンチップマスク領域を所定領域に細分化して複数の細分化領域を生成する。これら細分化領域の各々に対して、1つの細分化領域を定位置に含む、上述したワンチップマスク領域と大きさ及び形状が同一の領域中に占める全ての縮小領域の面積割合を取得する。取得されたこの面積割合に基づいて、ワンチップマスク領域内での表面保護膜の残膜厚の分布を取得する。

### 【0016】

上述したこの発明の残膜厚分布の推定方法によれば、パターニング用マスク内の、特に、ワンチップマスク領域内でのマスクパターンのレイアウトに基づいて、CMP後のアクティブ疎密領域間における残膜の相対的な残膜厚分布（CMP

用パターンレシオ分布) を推定することができる。

### 【0017】

#### 【発明の実施の形態】

以下、図1から図21を参照して、この発明の実施の形態につき説明する。

尚、各図は、この発明に係る半導体装置の一構成例を概略的に示してある。また、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、この発明をこれら図示例に限定するものではない。また、以下の説明において、特定の材料及び条件等を用いることがあるが、これら材料及び条件は好適例の一つに過ぎず、従って、何らこれらに限定されない。

### 【0018】

#### 1. 残膜厚分布の推定方法

##### 1-1. 第1の残膜厚分布の推定方法

図1～図6を参照して、この発明に係る第1の残膜厚分布の推定方法につき説明する。また、この発明に係る残膜厚分布の推定は、コンピューターを用いて行っている。

### 【0019】

先ず、この発明に係る残膜厚分布の推定方法の具体的な説明に先立ち、図2を参照して、実際の残膜発生を伴うSTI-CMP工程を以下に説明する。尚、以下説明するパターニングは、パターニング用マスクを用いる。

### 【0020】

通常、パターニング用マスクには、大きさ及び形状の同じ、すなわち、互いに合同な、ワンチップマスク領域が多数連続して行列配列されている。さらに、各ワンチップマスク領域内のマスクパターンは、同じレイアウトで設けられている。従って、以下の説明においては、1つのワンチップマスク領域とその領域内のマスクパターンとに関して主として説明する。

### 【0021】

具体的には、図2(A)に示すように、シリコン塗化(SiN)膜等の表面保護膜14を具える半導体下地12に対して、活性化領域を形成するための、複数

のマスクパターン（パターン領域とも称する。）16がマスク基材18に、個別に形成されているパターニング用マスク（ホトマスク）20を用いたパターニングを行い、残存された活性化領域（アクティブ領域）22及びエッチングされた素子分離溝（トレンチ溝）24を形成する（STI形成工程）。尚、このホトマスク20は等倍型投影マスクとする。また、図中、40で示す領域はアクティブ領域が疎に形成された領域（アクティブ疎領域）であり、50で示す領域はアクティブ領域が密に形成された領域（アクティブ密領域）を示している（図2（B））。尚、パターニング用マスク20は、周知の通り、例えば、ガラス基板であるマスク基材18にクロム（Cr）によってマスクパターン16が形成されたものを用いることができる。

#### 【0022】

続いて、図2（C）に示すように、素子分離溝24を埋め込むように且つ各活性化領域22上に亘って、後工程であるCMP工程において被研磨膜となる絶縁膜26を設ける（絶縁膜形成工程）。この絶縁膜26が化学機械研磨（CMP）工程を経て離間形成される素子分離部となる。この絶縁膜26にはシリコン酸化膜（SiO<sub>2</sub>）等が用いられる。また、このとき各アクティブ領域22上には、絶縁膜26が凸状に堆積される。尚、凸状に形成される絶縁膜26の膜厚は、各アクティブ領域22の短辺長（短辺幅）に依存している。その後、アクティブ領域22のうち、短辺長が長いアクティブ領域22上の絶縁膜26の一部を除去する（絶縁膜除去工程）。その後、絶縁膜26上にスラリ28を塗布する。

#### 【0023】

続いて、図2（D）に示すように、表面保護膜14及び絶縁膜26が順次に形成された半導体下地12に対してCMPを行い、アクティブ疎領域及び密領域40及び50に、素子分離部30をそれぞれ形成する（CMP工程）。具体的には、このCMPを、研磨パッド（不図示）と絶縁膜26とをスラリ28を介して、一定の研磨圧力をかけて摺り合わせて行う。こうして、本来は、各アクティブ領域22上の表面保護膜14上の絶縁膜26を除去して表面保護膜14が一様に露出した時点で、CMPを終了する。

#### 【0024】

しかしながら、通常、CMP時には、既に説明したように、アクティブ領域のうち短辺長が長いアクティブ領域上を覆っている絶縁膜の一部をCMP前に予め除去することにより緩和されるものの、アクティブ疎密領域（40、50）間では研磨圧力差が発生する。こうした研磨圧力差により、アクティブ疎領域40での研磨レート（速度）がアクティブ密領域50の研磨レートよりも早まる（高くなる）。

#### 【0025】

そのため、全てのアクティブ領域22上の表面保護膜14が露出した時点でCMP処理を終了するのが理想的であるが、実際には、こうした研磨レート差によって、アクティブ領域の疎密領域（40、50）間での残膜厚の不均衡、すなわち、グローバル段差が発生する。尚、この場合でのグローバル段差とは、アクティブ疎密領域（40、50）間における、アクティブ領域22上に残存する表面保護膜14の膜厚差のことである。

#### 【0026】

そこで、この構成例では、上述したパターニング用マスクのレイアウトに基づいて、CMP後のアクティブ疎及び密領域間における残膜の相対的な膜厚差を推定（シミュレーション）する、第1の残膜厚分布（CMP用パターンレシオ分布とも称する。）の推定方法につき以下詳細に説明する。

#### 【0027】

図1は、この発明に係る第1の残膜厚分布の推定方法を概略的に説明するためのフローチャートである。

#### 【0028】

先ず、図1に示すように、ステップS101において、マスク基材18の領域又はワンチップマスク領域の形状及び大きさに関するデータと、このマスク基材18内に設定された、活性化領域を形成すべきマスクパターン16の形状、大きさ及び位置に関するデータを取得する。これらデータは、例えば、パターニング用マスク設計ソフト（例えば、GDS2）で作成されたデータファイルから読み込むことができる。これら取得されたデータに基づいて、以下説明する所要の処理に必要な複数の情報を得ることができる。

### 【0029】

この構成例では、図3に示すような、ハッチングの疎密で区分されたアクティブ領域を有する評価TEG (Test Element Group) チップを形成するための、マスク領域が設けられたパターニング用マスクを設計する。尚、図3において、ハッチングが密な領域は、パターニング用マスクのうちマスクパターンが高密度に密集している領域に相当している。また、この評価TEGチップのサイズは、ワンチップの半導体下地サイズ（いわゆるチップサイズ）に相当している。

### 【0030】

すなわち、この構成例では、ワンチップマスク領域内に、上述したワンチップマスク領域内のマスクパターン16が、図3に示すようなハッチングの疎密で区分された密集度となるように行列状に形成されたパターニング用マスクを設計する。

### 【0031】

続いて、ステップS103において、すべてのマスクパターンについて、マスクパターンから、当該マスクパターンの縁部に沿って所定幅の領域を除去してなる縮小領域を生成する。

### 【0032】

そこで、図4（A）に示すパターニング用マスク20に設定された任意のマスクパターン16を一例に挙げて説明する。尚、所定幅の削除領域を16xで示してある。

### 【0033】

通常は、溝付半導体下地上に絶縁膜を形成すると、絶縁膜の表面は溝のところで凹んだ、凹凸面となる。従って、活性化領域上を覆う絶縁膜部分は、均一な膜厚で堆積されるのではなく、下地面から上方に向かうに従って内側にマイナスサインジングされた形状に堆積されて、底面領域が頂面領域よりも広い凸状となる（図2参照）。

### 【0034】

そこで、縮小領域16aを、当該縮小領域16aに対応するマスクパターン1

6を用いて形成される活性化領域上を覆う絶縁膜部分の、頂面領域と大きさ及び形状が実質的に同一な領域として生成する。

#### 【0035】

ここでの縮小領域16aを、マスクパターン16から当該マスクパターンに対応して形成される活性化領域のマイナスサイジング量（例えば、0.02μm程度）分の領域（上述の削除領域16xに対応する。）を差し引いて得られた領域とする。従って、好ましくは、マスクパターン16と縮小領域16aとは、相似形の関係にある。尚、上述した所定幅は、形成される絶縁膜の材料と膜厚がわかれれば知ることが出来るので、コンピュータに材料と膜厚に関する情報を入力するか、これら材料及び膜厚によって決められる一定幅を予め格納したメモリから読み出すことにより、設定できる。

#### 【0036】

続いて、ステップS105において、CMP用パターンレシオを求める。そのために、先ず、パターニング用マスク20の領域を形状及び大きさの等しい任意の個数に細分化して、形状及び大きさの同一の複数の細分化領域を生成する。この細分化は、コンピュータの表示画面上で行えば良い。この場合、少なくとも、中心となるワンチップマスク領域と、その周辺領域、すなわち、中心のワンチップマスク領域を取り囲む8個のワンチップマスク領域とに対して細分化を行えば良いが、パターニング用マスク全体の領域にわたって細分化しても良い。

#### 【0037】

この点につき簡単に説明する。

#### 【0038】

CMP後の残膜厚は、周辺のアクティブ領域の密度の影響を受ける。そこで、この構成例では細分化領域1ユニットを中心領域とするとき、この中心領域を取り囲む複数の細分化領域、すなわち、周辺領域について考慮する。

#### 【0039】

すなわち、この構成例では、図4（B）に示すように、パターニング用マスクのワンチップマスク領域全体（例えば、1700μm<sup>2</sup>とする。）を、1ユニット、例えば、100μm<sup>2</sup>のサイの目状に細分化する。この場合には、17

×17の細分化領域が生成される（尚、図4（B）は、あくまでも概略図であり、便宜上9×9の細分化領域が図示されている。）。このワンチップマスク領域は行列状に配列されているので、中心領域と周辺の8個の全てのワンチップマスク領域に対しても17×17の細分化領域が生成される。尚、細分化領域の数は17×17に限定されず、任意好適に設定することができる。

#### 【0040】

次に、1つのワンチップマスク領域に着目し、このワンチップマスク領域内の全ての細分化領域に関してCMP用パターンレシオを求める。ある1つの細分化領域をPとし、この領域Pを除いたワンチップマスク領域内の残りの領域をQとする。この100μm平方領域Pと、当該100μm平方領域Pを中心位置に配して取り囲む1700μm平方内の複数個の細分化領域Qからなる包囲領域とを併せた領域内に占める縮小領域16aの面積割合を取得する。

#### 【0041】

この構成例では、例えば、ワンチップマスク領域の中央位置に100μm平方領域Pがあるとする。この平方領域Pとこれに対応する包囲領域Qとを併せた全領域は、ワンチップマスク領域と一致するので、この領域Pと包囲領域Qとの合算面積は、ワンチップマスク領域の面積SMとなる。

#### 【0042】

次に、図4（B）に示すような、平方領域Pを中心としたワンチップ領域内に存在する全てのマスクパターンに対応する全ての縮小領域16aの合計面積ST0を求める。これにより、ST0/SMからCMP用パターンレシオが求められる。

#### 【0043】

次に、図5に示すように、細分化領域が、着目したワンチップマスク領域からずれた位置にあるとする。既に説明した通り、着目したワンチップマスク領域の周辺のワンチップマスク領域も同様に細分化されている。従って、この場合には、シフトした位置にある100μm平方領域P'を中心位置において、新たな仮りのワンチップマスク領域（太破線で囲まれた領域）を想定する。この仮りのワンチップマスク領域は、着目した本来のワンチップメモリ領域と形状及び大きさが同一であって、互いに合同な領域である。そして、この仮りのワンチップマス

ク領域内に含まれる全てのマスクパターンに対応する全ての縮小領域 16a の合計面積  $S_{T1}$  を求める。これにより、 $S_{T1}/S_M$  から CMP 用パターンレシオが求められる。同様にして、 $100 \mu m$  平方領域 P" を中心位置において、新たな仮りのワンチップマスク領域（太破線で囲まれた領域）を想定することにより、同様にして、この領域内に含まれる縮小領域 16a の合計面積  $S_{T2}$  を求めれば、 $S_{T2}/S_M$  から CMP 用パターンレシオが求められる。

#### 【0044】

こうして、着目したワンチップマスク領域内に生成された全ての細分化領域、すなわち、全ユニットについて、それぞれのユニットを中心とした仮りのワンチップマスク領域に対し、この領域内のマスクパターンに対応する全ての縮小領域の占める面積割合、すなわち、CMP 用パターンレシオを求めることができる。

#### 【0045】

尚、上述した構成例では、着目した 1 つの細分化領域を仮りのワンチップマスク領域の中心位置に設定しているが、何らこの中心位置に限定されるものではなく、仮りワンチップマスク領域の中心位置からシフトされた位置に設定されても良い。但し、その場合には、各仮りワンチップマスク領域において着目された 1 つの細分化領域が設定される位置は、どのワンチップマスク領域においても同一の位置すなわち定位置とする。つまり、着目された細分化領域は、仮りワンチップマスク領域毎に異なった位置には設定されない。

#### 【0046】

続いて、ステップ S107において、ステップ S105において取得された縮小領域の面積割合に基づいて、CMP 後の残膜厚分布（CMP 用パターンレシオ分布とも称する。）[%] を取得する。この CMP 用パターンレシオ分布は、コンピュータの表示画面上で表示されても良く、或いは、印刷手段で紙上にプリントアウトしても良い。また、この分布を、コンピュータのメモリに一時記憶させても良い。

#### 【0047】

上述した各ステップを経ることにより、図 6 に示すようなハッチングの疎密で区分されたような CMP 用パターンレシオ分布を得ることができる。この図では

、ハッチングが密な領域ほどCMP用パターンレシオが高い（すなわち、残膜厚が厚い）領域であることを示している（図右の密度 [%] 参照）。

#### 【0048】

こうして、パターニング用マスクのレイアウトに基づいて得られるCMP用パターンレシオ分布から、CMP後のアクティブ疎密領域間における残膜の相対的な膜厚差を推定（シミュレーション）することができる。

#### 【0049】

##### 1-2. 第1の残膜厚分布の推定方法の妥当性評価

図7に、1-1の項で説明したワンチップマスク領域内のCMP用パターンレシオ分布と、このCMP用パターンレシオ分布が得られたパターニング用マスクによって形成されたアクティブ領域にCMP後に残存している残膜の膜厚（残膜厚）との関係を示す。図中、横軸はCMP用パターンレシオX [%] であり、縦軸は残膜厚Y [Å] である。

#### 【0050】

図7に示すように、CMP用パターンレシオと残膜厚との関係は近似的に線形（相関係数0.7494）で表され、比較的良好な相関が得られた。

#### 【0051】

また、近似直線（直線近似式： $Y = 20.295X + 637.06$ ）を利用することにより、あるCMP用パターンレシオにおける残膜厚 [Å] の推定を可能することができる。

#### 【0052】

##### 2-1. 第2の残膜厚分布の推定方法

図8～図11を参照して、この発明に係る第2の残膜厚分布の推定方法について説明する。また、この発明に係る残膜厚分布の推定も、コンピューターを用いて行っている。また、以下においても、ワンチップマスク領域に関して説明する。

#### 【0053】

そこで、この構成例では、アクティブ領域22上全面に絶縁膜26が形成されている場合と、絶縁膜除去工程を経ることによってアクティブ領域22上の領域の一部に絶縁膜26が形成されている場合とでは、CMP時における研磨特性が

相違することに着目し、パターニング用マスク及び反転マスクのレイアウトに基づいて、CMP後のアクティブ領域間における残膜の相対的な膜厚差を推定（シミュレーション）する、第2の残膜厚分布（CMP用パターンレシオ）の推定方法につき詳細に説明する。尚、図8は、この発明に係る第2の残膜厚分布の推定方法を概略的に説明するためのフローチャートである。

#### 【0054】

先ず、図8に示すように、ステップS201において、マスク基材の領域の形状及び大きさに関するデータと、このマスク基材内に設計された、活性化領域を形成すべきマスクパターンの形状、大きさ及び位置に関するデータを取得する。これらデータは、第1の残膜厚分布の推定方法の場合と同様、例えば、パターニング用マスク設計ソフト（GDS2）で作成されたデータファイルから読み込むことができる。

#### 【0055】

すなわち、この構成例でも、第1の残膜厚分布の推定方法のステップS101での説明と同様に、活性化領域に対応するマスクパターンが、図3に示すようなハッチングの疎密で区分されたアクティブ領域を有した評価TEGチップを形成するためのマスクパターンを有するパターニング用マスクを設計する。

#### 【0056】

続いて、ステップS203において、マスクパターンから当該マスクパターンの縁部に沿って所定幅を除去してなる縮小領域を生成する。

#### 【0057】

但し、この構成例では、縮小領域として、上述した絶縁膜除去工程においてアクティブ領域22上に露出する表面保護膜14の領域に相当する領域を生成する。

#### 【0058】

そこで、図9（A）に示すように、この構成例における縮小領域16bを、先ず、マスクパターンから当該マスクパターンの縁部に沿って内側に1.2μm除去した後、再び、外側に0.4μm延設して生成する。尚、縮小領域16bの生成は、上述したような削除及び延設といった過程を経ず、所望幅の領域の除去だ

けを行って生成することも可能である。

#### 【0059】

続いて、ステップS205において、マスクパターンから、このマスクパターン16に対応する縮小領域16bと重複する領域部分を除去して枠状領域を生成する。この枠状領域は、丁度、除去された幅の領域と一致している。

#### 【0060】

この構成例では、図9（B）に示すように、枠状領域16cとして、上述した絶縁膜除去工程において、アクティブ領域22上に残存する絶縁膜26が形成する領域に相当する領域を生成する。

#### 【0061】

続いて、ステップS207において、上述したステップS105の場合と同様にして、パターニング用マスクの領域を細分化して形状及び大きさの同一の複数の細分化領域を生成する。

#### 【0062】

CMP後の残膜厚は、第1の残膜厚分布の推定方法で既に説明したと同様に、周辺のアクティブ領域の密度の影響を受ける。そこで、この構成例においても、同様に、細分化領域1ユニットの周辺領域についても考慮する。

#### 【0063】

そこで、この構成例においても、第1の残膜厚分布の推定方法のステップS105と同様の方法で、ワンチップマスク領域中の全ユニットについて、縮小領域16bの面積割合及び枠状領域16cの面積割合を個別に求める。尚、枠状領域16cの面積割合は、縮小領域16bの面積割合の取得の方法と同様にして取得することが出来る。

#### 【0064】

これにより、図10（A）に示すような、縮小領域の面積割合から得られた前駆CMP用パターンレシオ分布[%]と、図10（B）に示すような、枠状領域の面積割合から得られた前駆CMP用パターンレシオ分布[%]を取得する。

#### 【0065】

続いて、ステップS209において、ステップS207で取得された縮小領域

及び枠状領域のそれぞれの面積割合に基づいて、CMP後の残膜厚を推定可能とする残膜厚分布（CMP用パターンレシオ分布とも称する。）[%]を取得する。

#### 【0066】

そこで、ステップS207で求めた縮小領域及び枠状領域の面積割合を合成してCMPパターンレシオを取得するに当たり、例えば、（縮小領域の面積割合） $\times 0.25 +$ （枠状領域の面積割合）で算出した。すなわち、この構成例でのCMPパターンレシオ分布は、ステップS207で求めた枠状領域16cの面積割合に大きく依存させた構成とした。

#### 【0067】

上述した各ステップを経ることにより、図11に示すようなハッチングの疎密で区分されたようなCMP用パターンレシオ分布を得ることができる。この図では、ハッチングが密な領域ほどCMP用パターンレシオが高い（すなわち、残膜厚が厚い）領域であることを示している（図右の密度[%]参照）。

#### 【0068】

こうして、パターニング用マスクのレイアウトに基づいて得られた、このCMP用パターンレシオ分布から、CMP後のアクティブ領域間における残膜の相対的な膜厚差を推定（シミュレーション）することができる。

#### 【0069】

##### 2-2. 第2の残膜厚分布の推定方法の妥当性評価

図12に、2-1の項で説明したCMP用パターンレシオ分布と、このCMP用パターンレシオ分布が得られたパターニング用マスクによって形成されるアクティブ領域にCMP後に残存している残膜の膜厚（残膜厚）との関係を示す。図中、横軸はCMP用パターンレシオX[%]であり、縦軸は残膜厚Y[Å]である。

#### 【0070】

図12に示すように、CMP用パターンレシオと残膜厚との関係は近似的に線形（相関係数0.9227）で表され、（1-2）の場合よりも良好な相関が得られた。

### 【0071】

また、近似直線（直線近似式： $Y = 24.177X + 339.91$ ）を利用することにより、あるCMP用パターンレシオにおける残膜厚 [Å] をより高精度に推定することができる。

### 【0072】

3. 残膜厚分布（CMP用パターンレシオ分布）を利用したパターニング用マスクの設計方法

#### 3-1. 第1のパターニング用マスクの設計方法

図13及び図14を参照して、この発明に係る第1のパターニング用マスクの設計方法につき説明する。

### 【0073】

上述した第1及び第2の残膜厚分布の推定方法によって得られたCMP用パターンレシオ分布に基づいて、実際のCMP工程において発生するグローバル段差の予測が可能である。

### 【0074】

そこで、この構成例では、CMP用パターンレシオ分布を利用した、CMP工程によって発生するグローバル段差を低減させることができる、パターニング用マスクの設計方法につき説明する。尚、この発明に係るパターニング用マスクの設計についても、コンピューターを用いて行っている。

### 【0075】

そこで、ハッチングの疎密で区分されたアクティブ領域を有した評価TEGチップを形成するための、マスクパターンを有するワンチップマスク領域から得られたCMP用パターンレシオ分布を図13に示す。尚、ここで示すCMP用パターンレシオ分布は、2-1の項で説明した第2の残膜厚分布の推定方法を用いている。

### 【0076】

先ず、このCMP用パターンレシオ分布から、研磨レートが高くなると想定される領域、すなわち、残膜厚が相対的に薄くなると推定される領域（CMP用パターンレシオが相対的に低い領域）に対応する、ワンチップマスク領域内における

る第1領域を抽出する。

#### 【0077】

具体的には、図14に併せて示すように、CMP用パターンレシオ分布のうちのCMP用パターンレシオが低い領域Xに対応する、ワンチップマスク領域内における第1領域Aを抽出する。

#### 【0078】

続いて、ワンチップマスク領域内における第1領域Aのうち、活性化領域に対応するマスクパターン16外の領域aに、対応する半導体下地に第1の疑似（ダミー）の活性化領域（アクティブ領域）を形成するための第1疑似領域17aを設定する。

#### 【0079】

具体的には、ワンチップマスク領域内の領域aに、半導体下地にダミーアクティブ領域を形成するための第1疑似領域（ここでは、縦 $1\mu\text{m}$ ×横 $1\mu\text{m}$ ）17aを、 $1.5\mu\text{m}$ 間隔で図に示す配列となるように設定する。

#### 【0080】

これにより、第1疑似領域17aが設定された第1領域A部分によって半導体下地に形成される、ダミーアクティブ領域を含むアクティブ領域の密度が増大する。

#### 【0081】

その結果、この第1領域Aでの研磨レートが低下するためCMP後の残膜厚が上昇し（すなわち、領域XでのCMP用パターンレシオが高くなる。）、チップ全面でのグローバル平坦性を向上させることができる。

#### 【0082】

上述した説明から明らかなように、このパターニング用マスクの設計方法によれば、CMP用パターンレシオ分布から推測されるグローバル段差の度合いに応じて局所的に第1疑似領域をパターニング用マスクに設計することにより、従来よりも効率良くグローバル段差の発生を抑制することができる。

#### 【0083】

3-2. 第2のパターニング用マスクの設計方法

図15を参照して、この発明に係る第2のパターニング用マスクの設計方法につき説明する。

#### 【0084】

この構成例では、CMP用パターンレシオが高い領域に対応する、ワンチップマスク領域内における領域に、CMPパターンレシオを実質的に上昇させない第2疑似領域を設定している点が、第1のパターニング用マスクの設計方法との主な相違点である。

#### 【0085】

第1のパターニング用マスクの設計方法では、CMPパターンレシオ分布のうち、CMP用パターンレシオが相対的に低い領域に対応するワンチップマスク領域内の領域（第1領域A）に、第1疑似領域17aを設定する構成であった。

#### 【0086】

しかしながら、ワンチップマスク領域内のマスクパターンのレイアウトによって第1疑似領域17aを設定する比率が異なる場合には、ワンチップマスク領域毎に占めるマスクパターン16及び第1疑似領域17aを併せた面積割合も異なる。

#### 【0087】

その結果、パターニング用マスクを用いて半導体下地にアクティブ領域形成のためのエッチングを行う際には、ワンチップマスク領域毎にエッチング条件を設定せねばならず、エッチング処理が複雑化する。

#### 【0088】

そこで、この構成では、更に、CMP用パターンレシオ分布から、研磨レートが低くなると想定される領域、すなわち、残膜厚が相対的に厚くなると推定される領域（CMP用パターンレシオが相対的に高い領域）に対応する、ワンチップマスク領域内における第2領域を抽出する。

#### 【0089】

具体的には、図15に示すように、CMP用パターンレシオ分布のうちのCMP用パターンレシオが高い領域Yに対応する、ワンチップマスク領域内における第2領域Bを抽出する。

**【0090】**

続いて、ワンチップマスク領域毎に占めるマスクパターン及び疑似領域を併せた面積割合が実質一定となるように、第2領域Bのうちマスクパターン16外の領域bに、対応する半導体下地にダミーアクティブ領域を形成するための第2疑似領域19aを設定する。

**【0091】**

具体的には、ワンチップマスク領域内の領域bに、半導体下地にダミーアクティブ領域を形成するための小さな第2疑似領域（ここでは、縦0.3μm×横0.3μm）19aを、例えば、1.5μm間隔で図に示す配列となるように設定する。

**【0092】**

これにより、ワンチップマスク領域毎に占めるマスクパターン16及び疑似領域（第1及び2疑似領域（17a, 19a））を併せた面積割合が実質一定となる。

**【0093】**

また、この小さな第2疑似領域19aによって半導体下地に形成されるアクティブ領域上には絶縁膜が厚く堆積されず、よって、領域YでのCMP用パターンレシオを実質的に上昇させることはない。尚、第2疑似領域19aを縦0.3μm以下及び横0.3μm以下の矩形状とすることにより、CMP用パターンレシオを実質的に上昇させることができなく好適である。

**【0094】**

上述した説明から明らかなように、この実施の形態のパターニング用マスクの設計方法によれば、第1のパターニング用マスクの設計方法の場合と同様の効果を得ることができる。

**【0095】**

更に、この構成例では、ワンチップマスク領域毎に占めるマスクパターン及び疑似領域（第1及び2疑似領域）を併せた面積割合が実質一定となるように制御でき、エッチング処理の複雑化を緩和させることができる。

**【0096】**

### 3-3. 第3のパターニング用マスクの設計方法

図16を参照して、この発明に係る第3のパターニング用マスクの設計方法につき説明する。

#### 【0097】

この構成例では、第2疑似領域を細長形状領域として設定している点が、第2のパターニング用マスクの設計方法との主な相違点である。

#### 【0098】

第2のパターニング用マスクの設計方法では、CMPパターンレシオ分布のうち、CMP用パターンレシオが相対的に高い領域に対応する、ワンチップマスク領域内に、縦0.3μm及び横0.3μmの矩形の第2疑似領域19aを複数設定する構成であった。

#### 【0099】

しかしながら、小さな第2疑似領域19aを複数設定することにより、パターニング用マスク設計ソフト（例えば、GDS2）で作成されたデータファイルの容量が著しく増大するため望ましくない。

#### 【0100】

そこで、この構成例では、第2疑似領域を、短辺長が0.3μmの細長形状領域19bとして設定する。

#### 【0101】

しかし、この第2疑似領域19bによって半導体下地に形成されるダミーアクティブ領域上には、第2の疑似領域19aの場合と実質同様の膜厚を有した絶縁膜が堆積される。なぜなら、絶縁膜の膜厚は、ダミーアクティブ領域の短辺長（短辺幅）に依存するためである。

#### 【0102】

これにより、この構成例における第2疑似領域19bの短辺長は、第2のパターニング用マスクの設計方法における第2疑似領域19aの短辺長と実質同じ幅としたため、CMP用パターンレシオは実質的に上昇しない。

#### 【0103】

その上、この構成例では第2疑似領域の図形数を低減できるので、設計ソフト

で作成されたデータファイルの容量を第2のパターニング用マスクの設計方法よりも低減させることができる。

#### 【0104】

上述した説明から明らかなように、この実施の形態のパターニング用マスクの設計方法によれば、第2のパターニング用マスクの設計方法の場合と同様の効果を得ることができる。

#### 【0105】

その上、第2疑似領域の図形数を更に減らすことができるので、実用上取り扱いが容易なデータファイル容量とすることができます。

#### 【0106】

##### 3-4. 第4のパターニング用マスクの設計方法

図17を参照して、この発明に係る第4のパターニング用マスクの設計方法につき説明する。

#### 【0107】

この構成例では、領域aに占める第1疑似領域の面積割合を増大させた点が、第1のパターニング用マスクの設計方法との主な相違点である。

#### 【0108】

具体的には、図17に示すように、ワンチップマスク領域内の領域aに、半導体下地にダミーアクティブ領域を形成するための第1疑似領域（ここでは、縦1 $\mu$ m×横1 $\mu$ m）17bを、1.3 $\mu$ m間隔で図に示す配列となるように設定する。

#### 【0109】

これにより、領域aに占める第1疑似領域の割合が、第1のパターニング用マスクの設計方法の場合よりも増大するため、第1領域Aにおける研磨レートを更に低下させることができる。

#### 【0110】

その結果、第1領域AにおけるCMP後の残膜厚が更に上昇（すなわち、領域XでのCMP用パターンレシオが更に高くなる。）するため、チップ全面でのグローバル平坦性をより一層向上させることができる。

### 【0111】

上述した説明から明らかなように、この実施の形態のパターニング用マスクの設計方法によれば、第1のパターニング用マスクの設計方法の場合よりもグローバル段差の発生を抑制することができる。

### 【0112】

#### 3-5. 第5のパターニング用マスクの設計方法

図18を参照して、この発明に係る第5のパターニング用マスクの設計方法につき説明する。

### 【0113】

この構成例では、領域aに占める第1疑似領域の割合を、第1疑似領域サイズを大きくすることにより増大させた点が、第4のパターニング用マスクの設計方法の場合との主な相違点である。

### 【0114】

具体的には、図18に示すように、ワンチップマスク領域の領域aに、半導体下地にダミーアクティブ領域を形成するための第1疑似領域（ここでは、縦1.3μm×横1.3μm）17cを、1.5μm間隔で図に示す配列となるように設定する。

### 【0115】

これにより、第4のパターニング用マスクの設計方法の場合と同様、第1領域AにおけるCMP後の残膜厚が上昇（すなわち、領域XでのCMP用パターンレシオが更に高くなる。）するため、チップ全面でのグローバル平坦性をより一層向上させることができる。

### 【0116】

更に、この構成例では、第1疑似領域のサイズを増大させたことにより、残膜厚が第4のパターニング用マスクの設計方法の場合よりも上昇する。

### 【0117】

上述した説明から明らかなように、この実施の形態のパターニング用マスクの設計方法によれば、第4のパターニング用マスクの設計方法の場合よりもグローバル段差の発生を抑制することができる。

**【0118】****3-6. 第6のパターニング用マスクの設計方法**

図19を参照して、この発明に係る第6のパターニング用マスクの設計方法につき説明する。

**【0119】**

この構成例では、領域aの大きさに応じて第1疑似領域の大きさを設定している点が、第5のパターニング用マスクの設計方法の場合との主な相違点である。

**【0120】**

すなわち、第5のパターニング用マスクの設計方法で説明した様に、第1疑似領域のサイズを大きくしたことにより、全ての領域aに当該第1疑似領域17cを設定することは困難である。

**【0121】**

そこで、この構成例では、図19に示すように、先ず、領域aのうち、第5のパターニング用マスクの設計方法で説明したのと同様の第1疑似領域（縦1.5 $\mu$ m×横1.5 $\mu$ m）17cを1.3 $\mu$ m間隔で設定可能な領域に設定する。そして、この第1疑似領域17cを設定することが困難な領域a'に対しては、更に、第1疑似領域17cよりも小さなサイズの第1疑似領域（ここでは、縦1 $\mu$ m×横1 $\mu$ m）17dを、1.5 $\mu$ m間隔で設定する。

**【0122】**

これにより、領域aに占める第1疑似領域の割合が第5のパターニング用マスクの設計方法の場合よりも増大するため、第1領域Aにおける研磨レートを更に低下させることができる。

**【0123】**

その結果、第1領域AにおけるCMP後の残膜厚が更に上昇（すなわち、領域XでのCMP用パターンレシオが更に高くなる。）するため、チップ全面でのグローバル平坦性をより一層向上させることができる。

**【0124】**

上述した説明から明らかなように、この実施の形態のパターニング用マスクの設計方法によれば、第5のパターニング用マスクの設計方法の場合よりもグロー

バル段差の発生を抑制することができる。

#### 【0125】

##### 3-7. 第7のパターニング用マスクの設計方法

図20を参照して、この発明に係る第7のパターニング用マスクの設計方法につき説明する。

#### 【0126】

この構成例では、第1領域Aを複数抽出した場合には、これら各第1領域Aのうち残膜厚が薄くなると推定される度合いに応じて、第1領域Aのうちマスクパターン外（すなわち、領域a'）に占める第1疑似領域の割合を増大させる。

#### 【0127】

すなわち、CMP用パターンレシオ分布から、残膜厚が相対的に薄くなると推定される領域に対応するパターニング用マスク内における第1領域Aに対しては、第1疑似領域（17c, 17d）を第6のパターニング用マスクの設計方法に示した手順で設定する。

#### 【0128】

しかし、残膜厚が極端に薄くなると推定される領域に対応するパターニング用マスク内の第1領域A'に対しては、先ず、領域aに第1疑似領域17cを1.3μm間隔で設定すると共に、この第1疑似領域17cを設定することが困難な領域a'に対しては、更に、第1疑似領域17cよりも小さなサイズの第1疑似領域17dを、1.3μm間隔で設定する。

#### 【0129】

すなわち、第1領域に対応する残膜厚の程度に応じて、第1領域に占める第1疑似領域の割合を適宜調節することができる。

#### 【0130】

よって、上述した説明から明らかなように、この実施の形態のパターニング用マスクの設計方法によれば、CMP用パターンレシオ分布から推測される残膜厚の度合いに応じて第1疑似領域の設定を調整することにより、効率良くグローバル段差の発生を抑制することができる。

#### 【0131】

#### 4. 残膜厚分布の推定方法を利用して設計されたパターニング用マスクを用いた半導体素子の製造方法

上述した第1～第7のパターニング用マスクの設計方法に基づいて作製されたパターニング用マスクを用いて、表面保護膜を有する半導体下地をエッチングして、残存された活性化領域と食刻された素子分離溝とを形成する工程を含む、S T I - C M P 工程を従来と同様に行う。

##### 【0132】

その結果、グローバル段差が低減されて、良好なグローバル平坦性を有する半導体素子を得ることができる。

##### 【0133】

以上、この発明は、上述した実施の形態の組合せのみに限定されない。よって、任意好適な段階において好適な条件を組み合わせ、この発明を適用することができる。

##### 【0134】

##### 【発明の効果】

上述した説明から明らかなように、この発明の残膜厚分布の推定方法によれば、パターニング用マスクのマスクパターンのレイアウトに基づいて、C M P 後のアクティブ疎密領域間における残膜の相対的な残膜厚分布（C M P 用パターンレシオ分布）を推定することができる。

##### 【0135】

その結果、このC M P 用パターンレシオ分布を利用することにより、C M P 工程によって発生するグローバル段差を低減させることができるパターニング用マスクを設計でき、よって、良好なグローバル平坦性を有する半導体素子が得られる。

##### 【図面の簡単な説明】

##### 【図1】

この発明の第1の残膜厚の推定方法を説明するためのフローチャートである。

##### 【図2】

この発明の第1の残膜厚の推定方法の説明に供する図である。

**【図 3】**

この発明の第 1 の残膜厚の推定方法の説明に供する図である。

**【図 4】**

この発明の第 1 の残膜厚の推定方法の説明に供する図である。

**【図 5】**

この発明の第 1 の残膜厚の推定方法の説明に供する図である。

**【図 6】**

この発明の第 1 の残膜厚の推定方法の説明に供する図である。

**【図 7】**

この発明の第 1 の残膜厚の推定方法の妥当性の説明に供する図である。

**【図 8】**

この発明の第 2 の残膜厚の推定方法を説明するためのフローチャートである。

**【図 9】**

この発明の第 2 の残膜厚の推定方法の説明に供する図である。

**【図 10】**

この発明の第 2 の残膜厚の推定方法の説明に供する図である。

**【図 11】**

この発明の第 2 の残膜厚の推定方法の説明に供する図である。

**【図 12】**

この発明の第 2 の残膜厚の推定方法の妥当性の説明に供する図である。

**【図 13】**

この発明の第 1 のパターニング用マスクの設計方法の説明に供する図である。

**【図 14】**

この発明の第 1 のパターニング用マスクの設計方法の説明に供する図である。

**【図 15】**

この発明の第 2 のパターニング用マスクの設計方法の説明に供する図である。

**【図 16】**

この発明の第 3 のパターニング用マスクの設計方法の説明に供する図である。

**【図 17】**

この発明の第4のパターニング用マスクの設計方法の説明に供する図である。

【図18】

この発明の第5のパターニング用マスクの設計方法の説明に供する図である。

【図19】

この発明の第6のパターニング用マスクの設計方法の説明に供する図である。

【図20】

この発明の第7のパターニング用マスクの設計方法の説明に供する図である。

【符号の説明】

12：半導体下地

14：表面保護膜

16：マスクパターン

16a, 16b：縮小領域

16c：枠状領域

17a, 17b, 17c, 17d：第1疑似領域

18：マスク基材

19a, 19b：第2疑似領域

20：パターニング用マスク

22：活性化領域（アクティブ領域）

24：素子分離溝

26：絶縁膜

28：スラリ

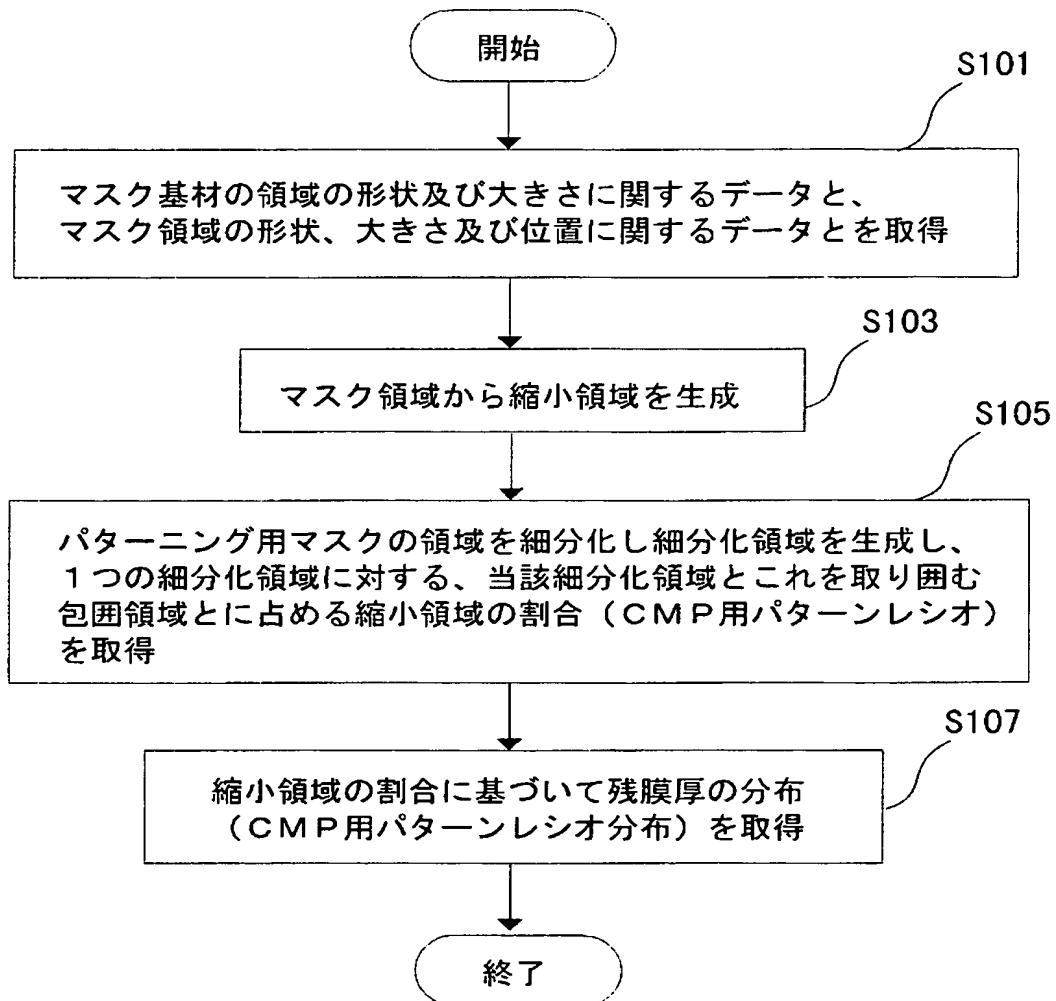
30：素子分離部

40：アクティブ疎領域

50：アクティブ密領域

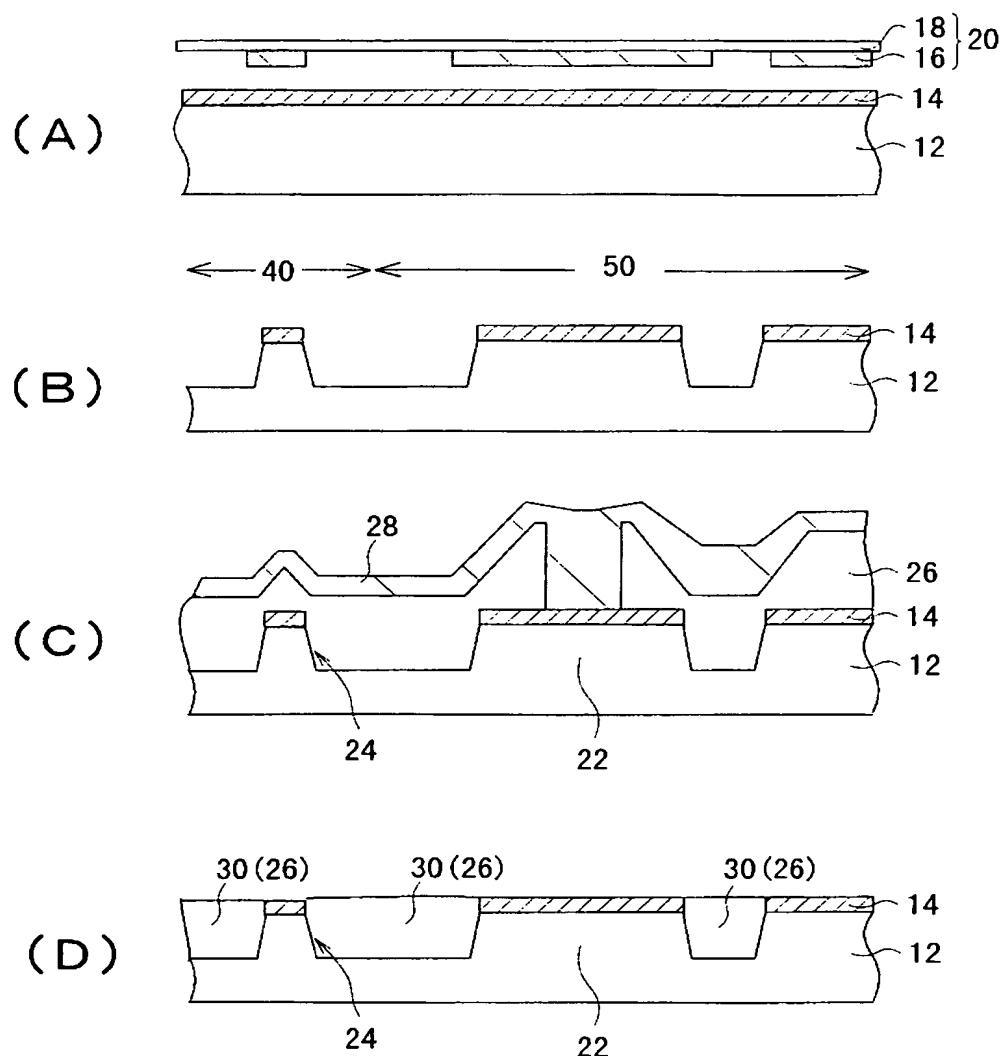
【書類名】 図面

【図 1】



第 1 の残膜厚の推定方法の説明に供するフローチャート

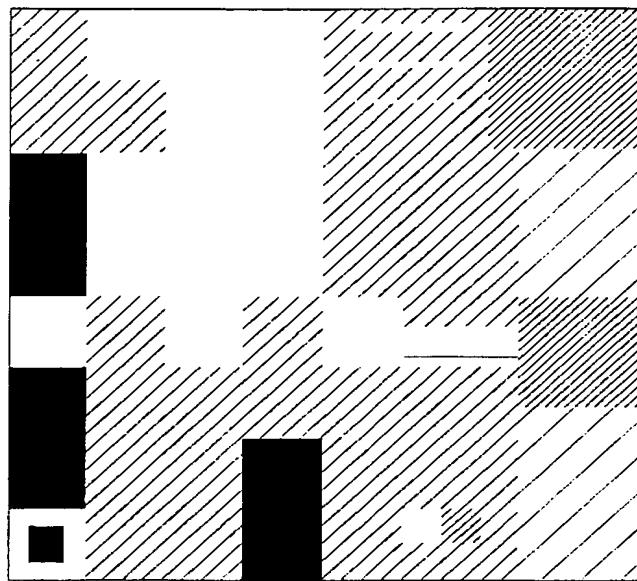
【図 2】



12: 半導体下地 14: 表面保護膜 16: マスクパターン  
 18: マスク基材 20: パターニング用マスク  
 22: 活性化領域（アクティブ領域） 24: 素子分離溝  
 26: 絶縁膜 28: スラリ 30: 素子分離部  
 40: アクティブ疎領域 50: アクティブ密領域

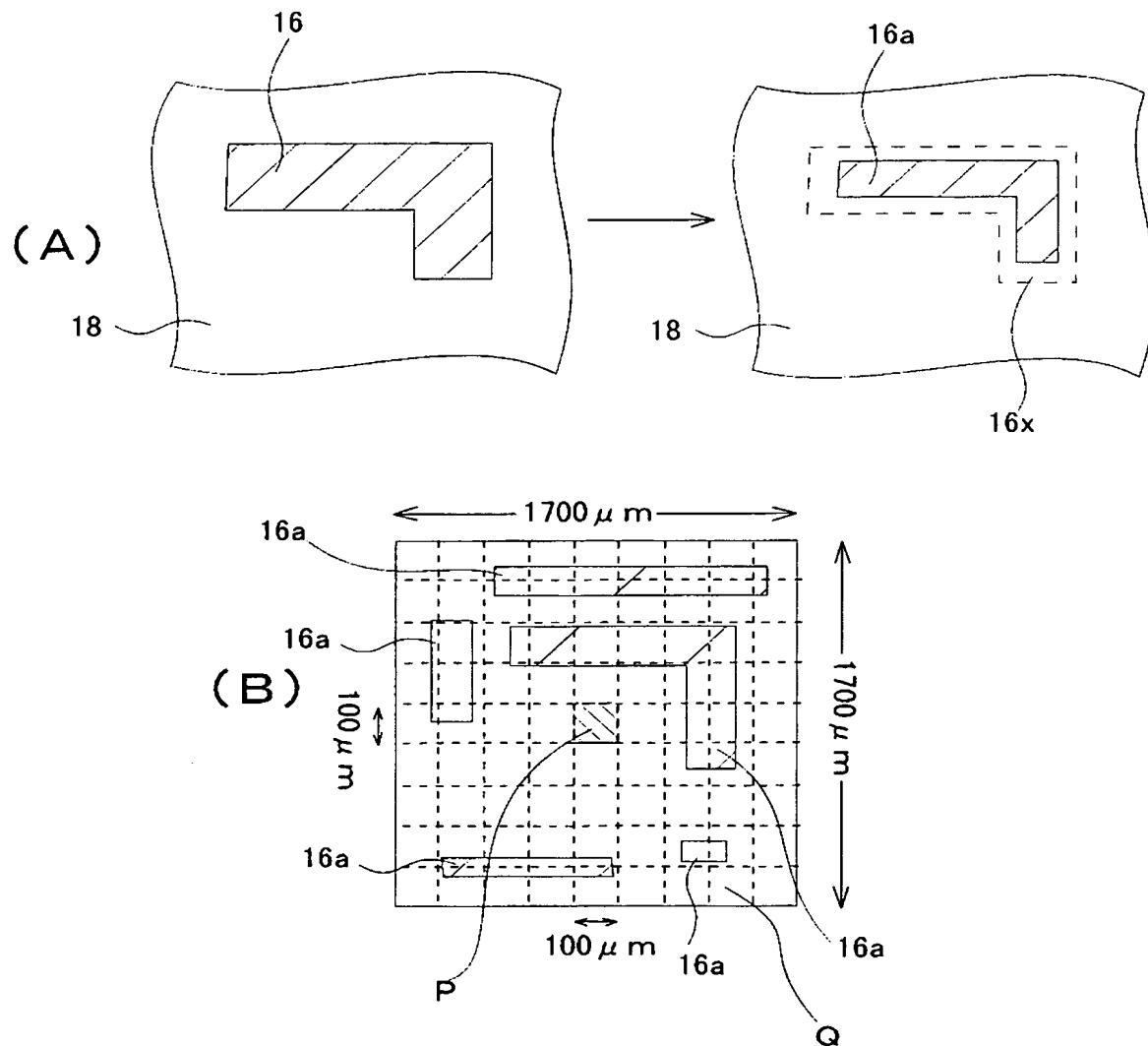
第 1 の残膜厚の推定方法の説明に供する図

【図3】



第1の残膜厚の推定方法の説明に供する図

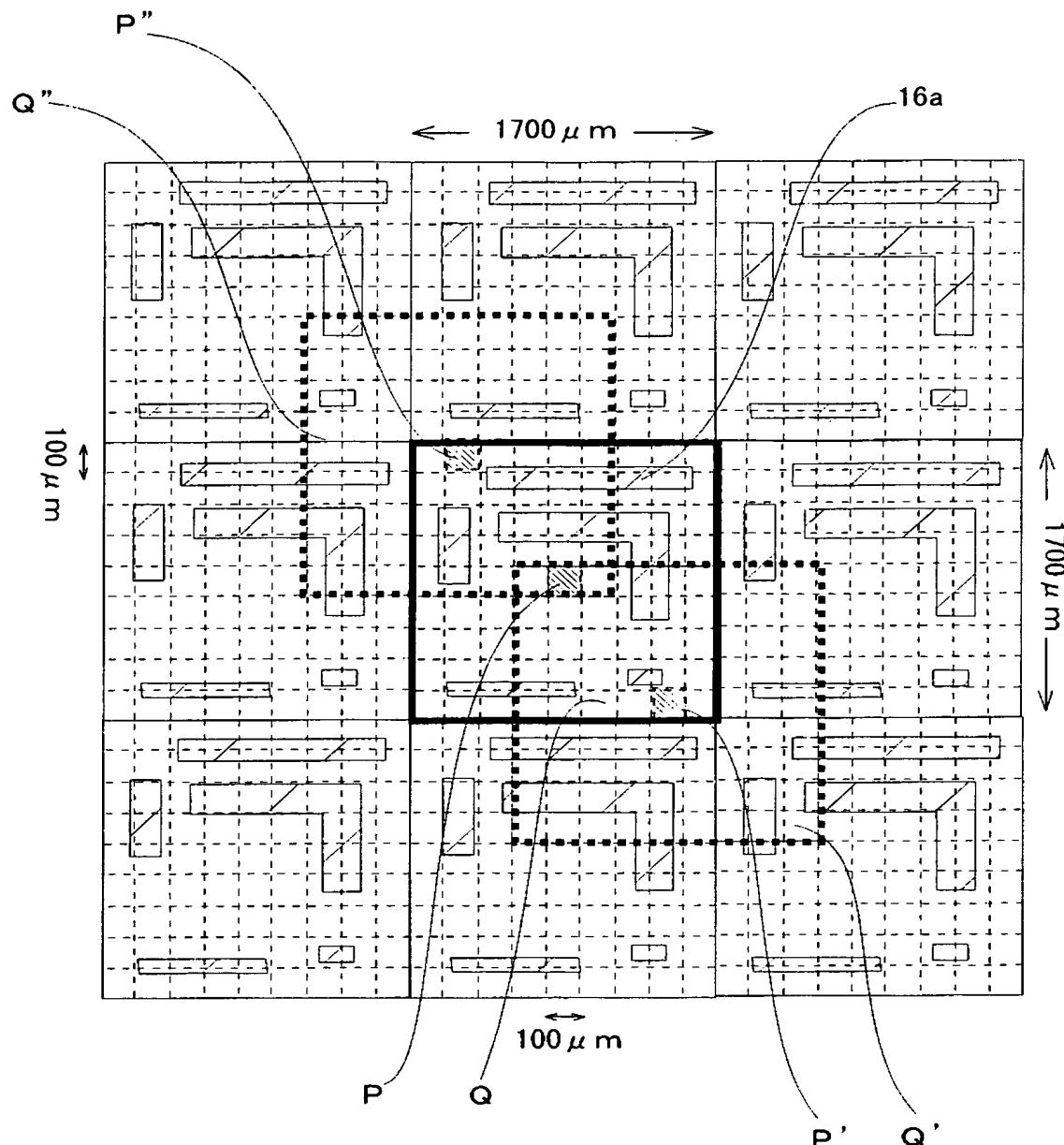
【図 4】



16a : 縮小領域

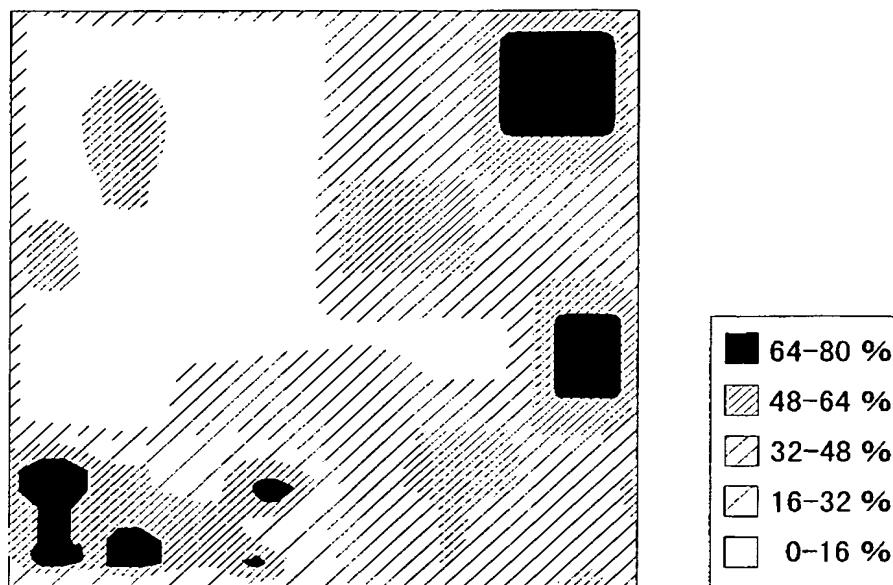
第 1 の残膜厚の推定方法の説明に供する図

【図5】



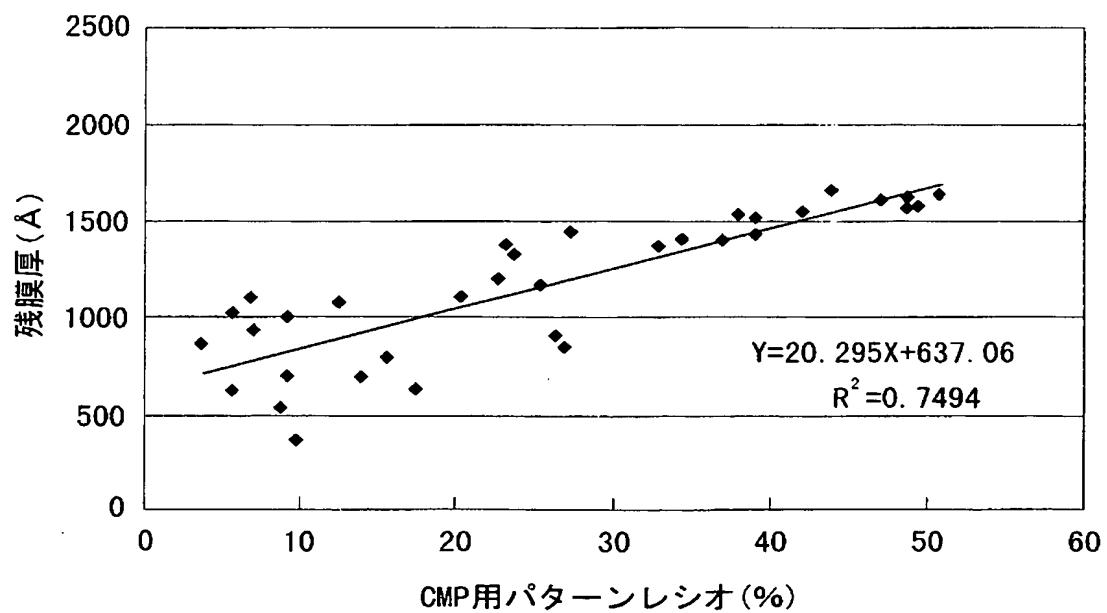
第1の残膜厚の推定方法の説明に供する図

【図 6】



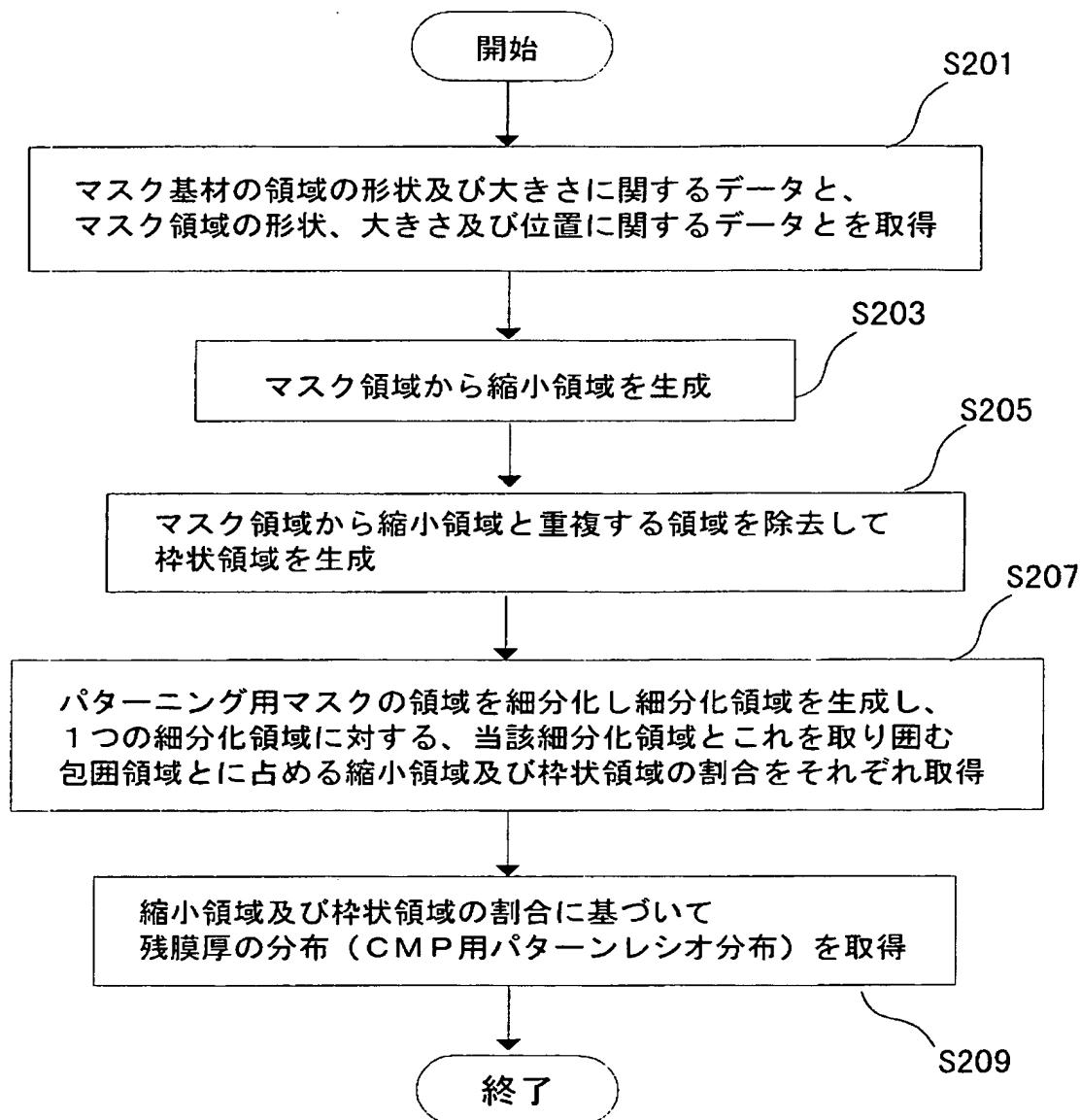
第 1 の残膜厚の推定方法の説明 (CMP 用パターンレシオ分布)

【図 7】



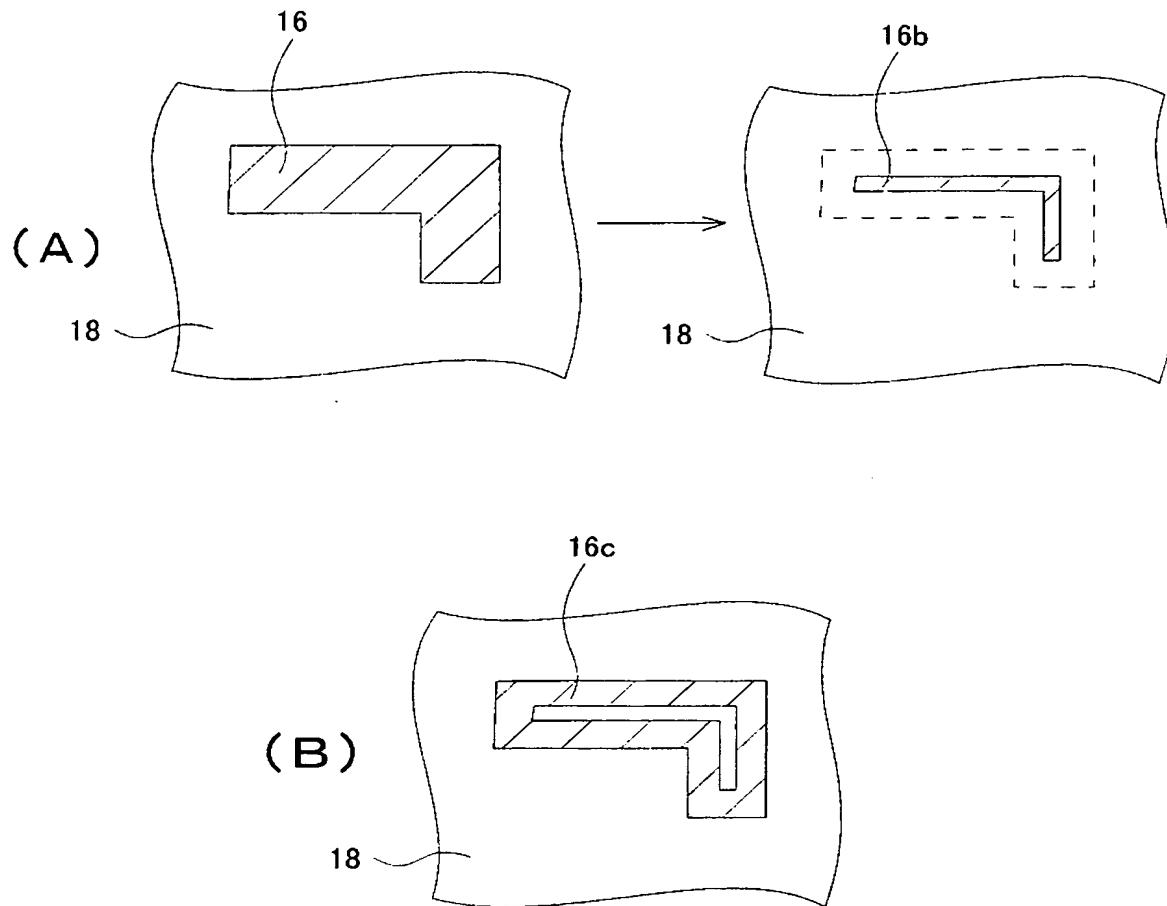
第 1 の残膜厚の推定方法の妥当性評価

【図8】



第2の残膜厚の推定方法の説明に供するフローチャート

【図9】

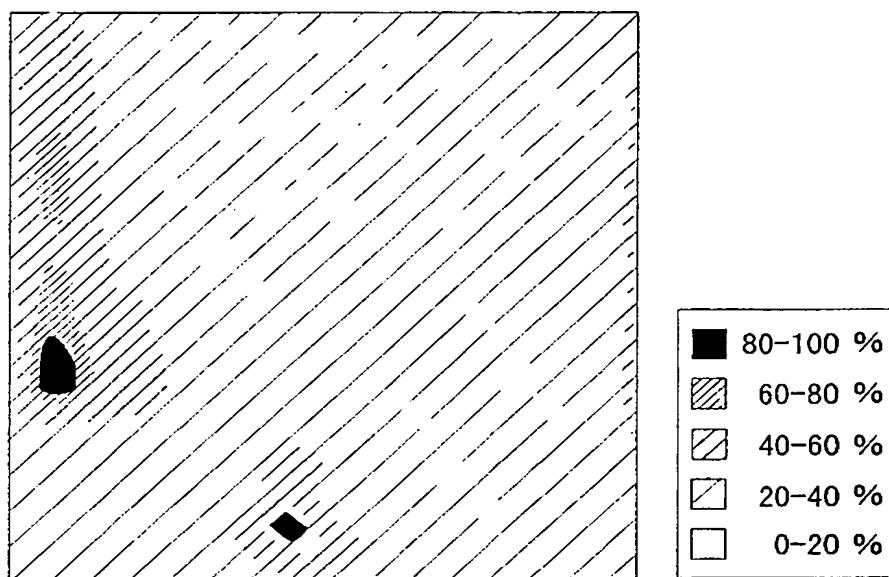


16b : 縮小領域 16c : 枠状領域

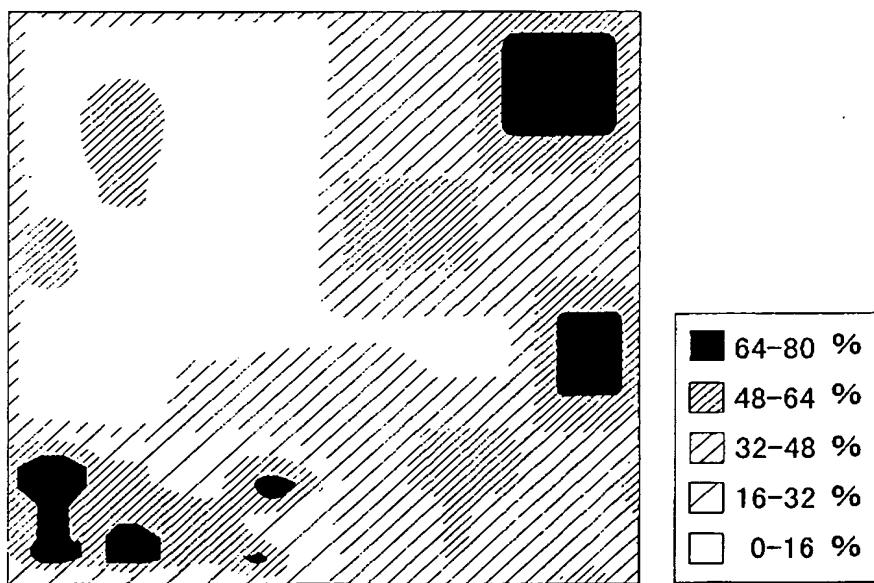
第2の残膜厚の推定方法の説明に供する図

【図10】

(A)

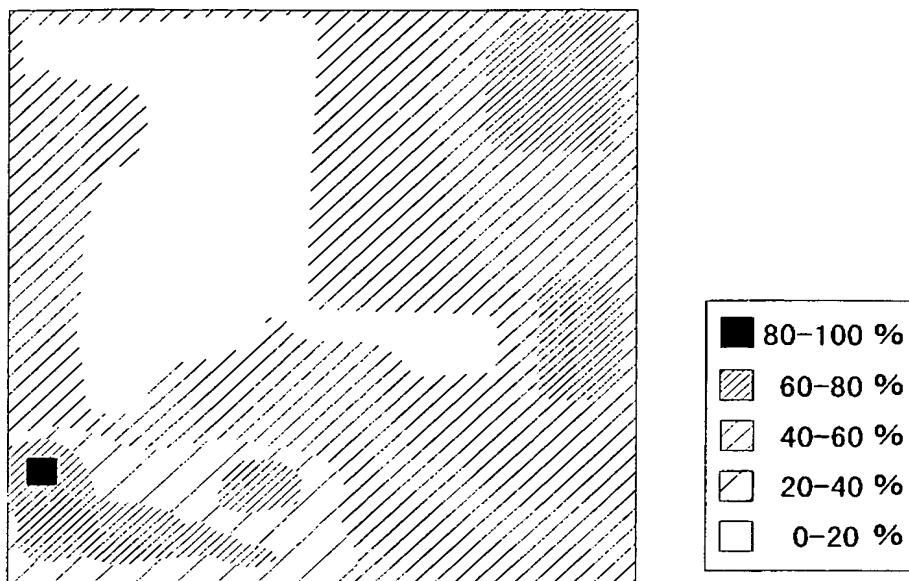


(B)



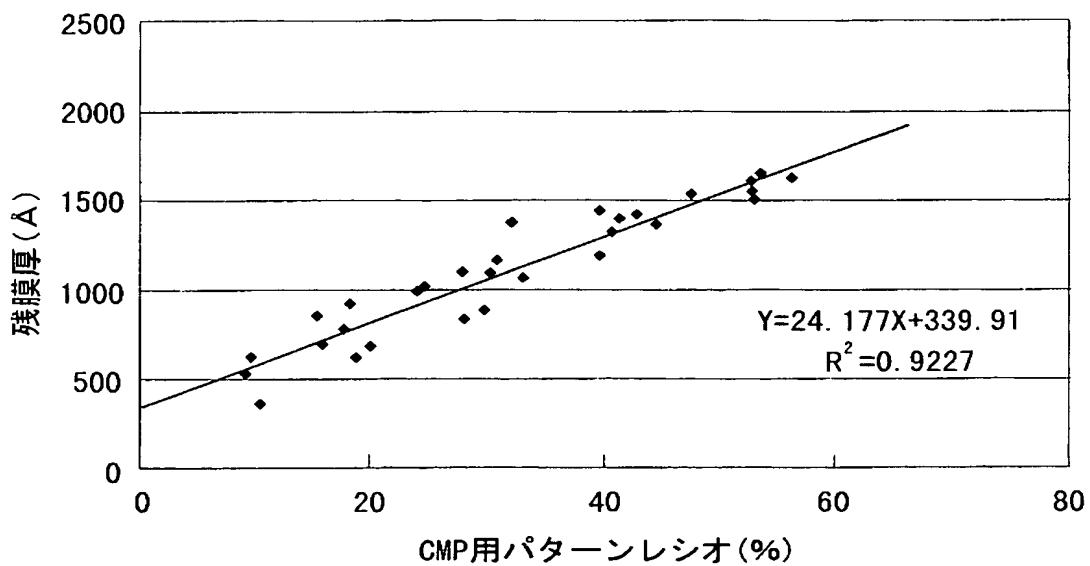
第2の残膜厚の推定方法の説明に供する図

【図 1 1】



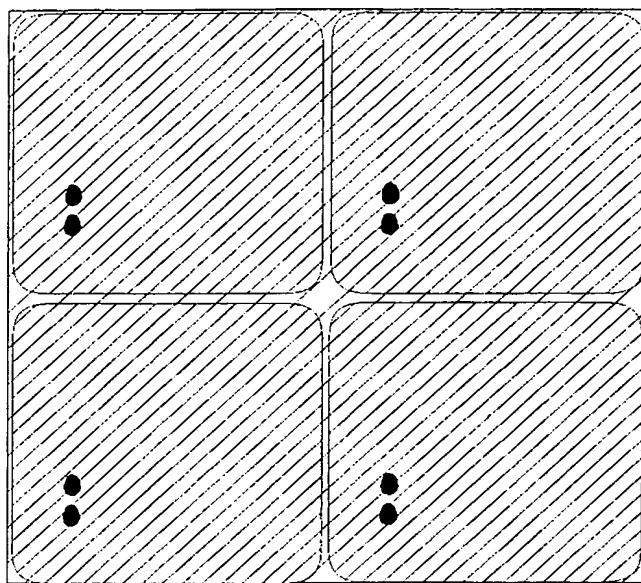
第 2 の残膜厚の推定方法(CMP用パターンレシオ分布)

【図 1 2】



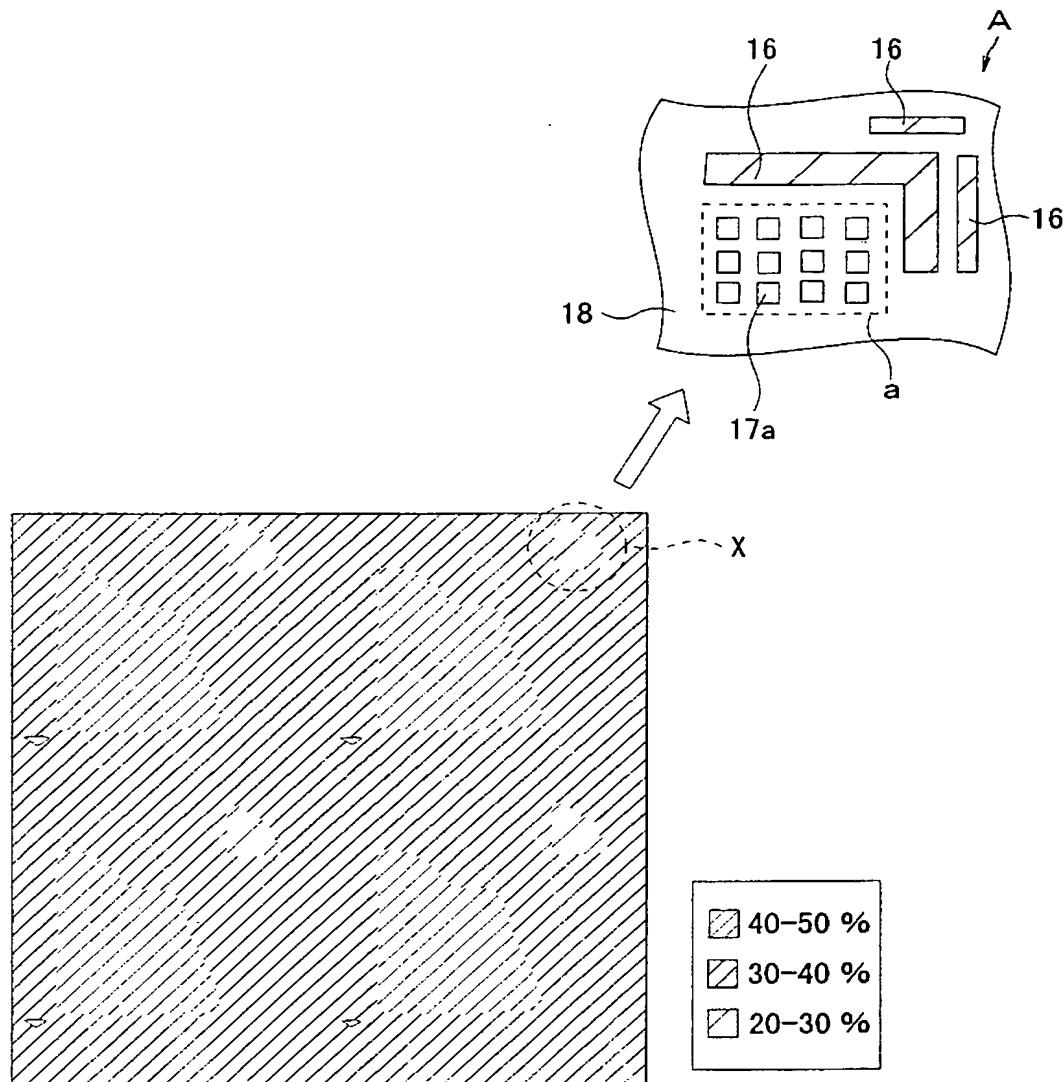
第 2 の残膜厚の推定方法の妥当性評価

【図13】



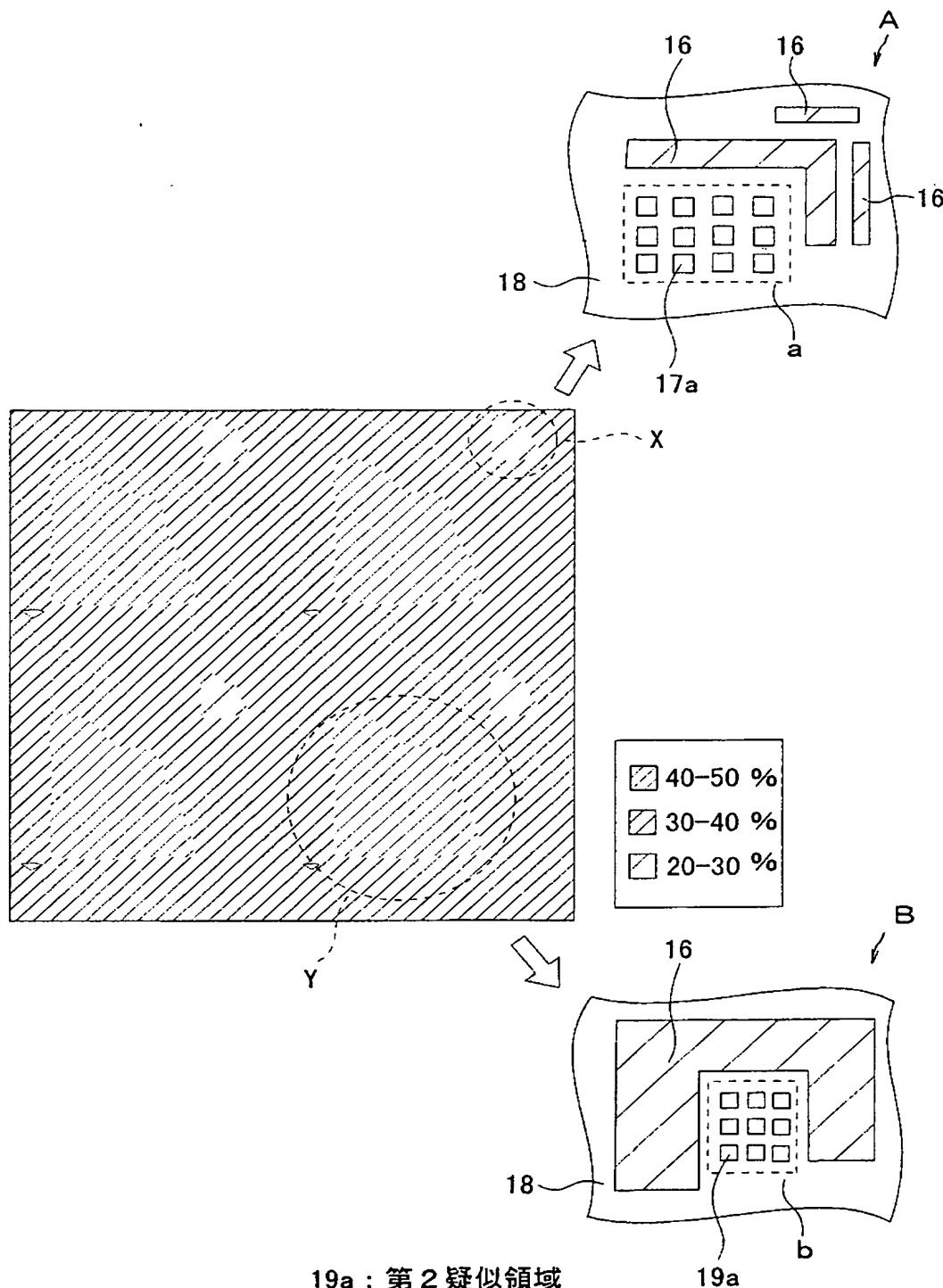
第1のパターニング用マスクの設計方法

【図14】



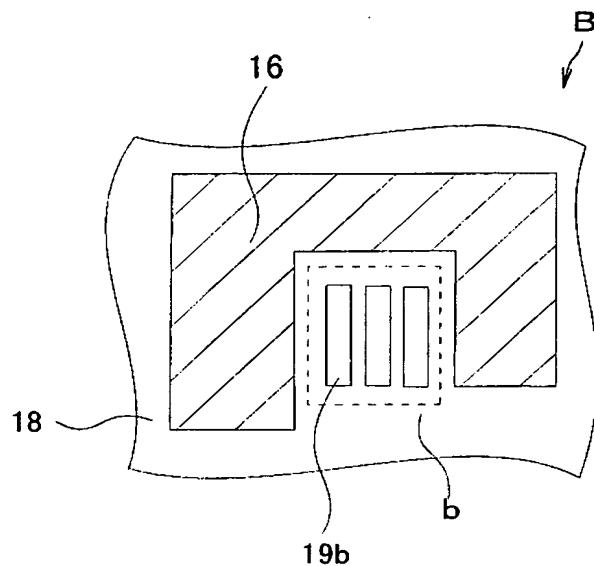
第1のパターニング用マスクの設計方法

【図15】



第2のパターニング用マスクの設計方法

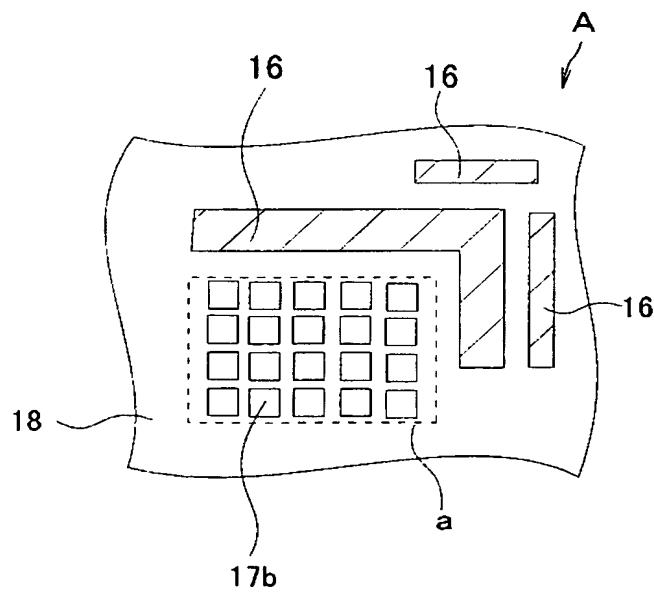
【図16】



19b：第2疑似領域

## 第3のパターニング用マスクの設計方法

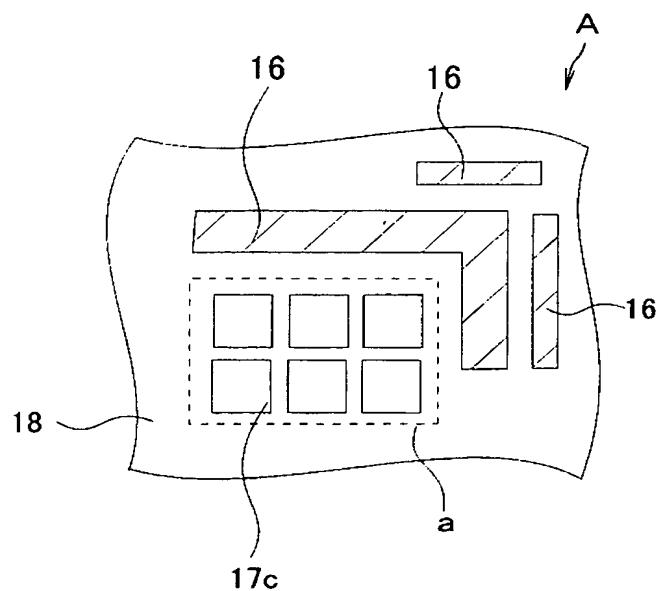
【図17】



17b：第1疑似領域

## 第4のパターニング用マスクの設計方法

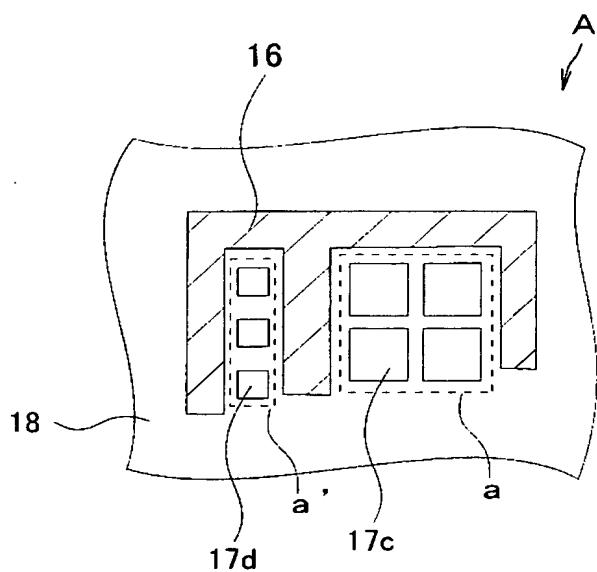
【図18】



17c：第1疑似領域

## 第5のパターニング用マスクの設計方法

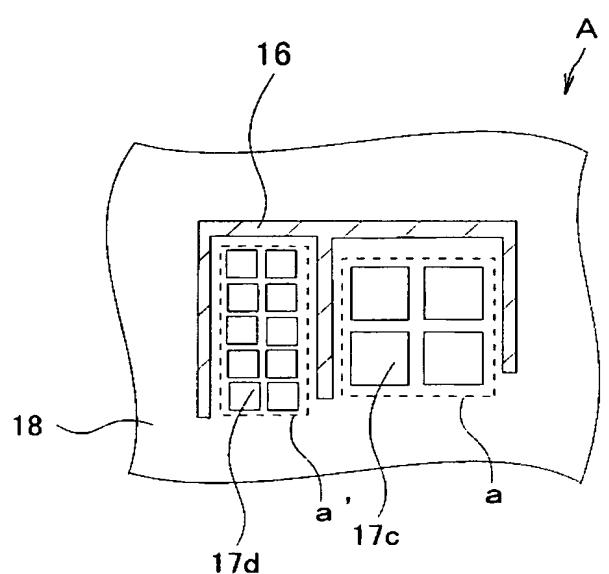
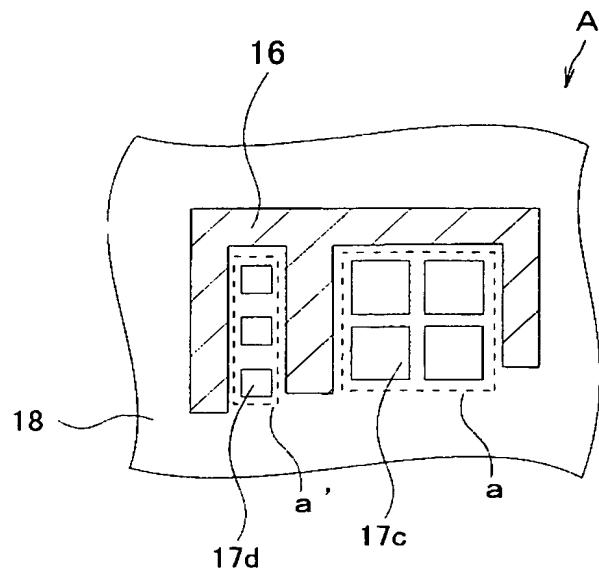
【図19】



17d：第1疑似領域

## 第6のパターニング用マスクの設計方法

【図20】



### 第7のパターニング用マスクの設計方法

【書類名】 要約書

【要約】

【課題】 ワンチップマスク領域内でのマスクパターンのレイアウトに基づいて、CMP後のアクティブ疎密領域間における残膜の相対的な残膜厚分布（CMP用パターンレシオ分布）を推定するための方法を提供する。

【解決手段】 マスクパターンの各々に対し、このマスクパターンからこのマスクパターンの縁部に沿って所定幅の領域を除去してなる縮小領域を生成する。そして、ワンチップマスク領域を所定領域に細分化して複数の細分化領域を生成する。そして、これら細分化領域の各々に対して、1つの細分化領域と定位置とする、上述したワンチップマスク領域と大きさ及び形状が同一の領域中に占める全ての縮小領域の面積割合を取得する。取得されたこの面積割合に基づいて、ワンチップマスク領域内での表面保護膜の残膜厚の分布、すなわち、CMP用パターンレシオを取得する。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願 2002-219979
受付番号	50201115977
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 7月30日

## &lt;認定情報・付加情報&gt;

【提出日】	平成14年 7月29日
-------	-------------

次頁無

特願 2002-219979

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住所 東京都港区虎ノ門1丁目7番12号  
氏名 沖電気工業株式会社